PATENT ABSTRACTS OF JAPAN

(11)Publication number:

2000-011668

(43)Date of publication of application: 14.01.2000

(51)Int.CI.

G11C 16/02 G11C 16/06

(21)Application number: 10-170135

(71)Applicant : OKI MICRO DESIGN:KK

OKI ELECTRIC IND CO LTD

(22)Date of filing:

17.06.1998

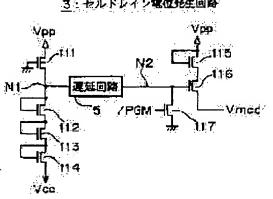
(72)Inventor: NAGATOMO MASAHIKO

(54) DATA WRITING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a data writing circuit capable of stably writing predeter mined data into a memory cell to be selected, while preventing wrong data from being written into a non-selected memory cell.

SOLUTION: A cell drain potential generating circuit 3 is composed of one P-channel transistor 111, six Nchannel transistors 112, 113, 114, 115, 116, 117, and a delay circuit 5. A node N1 is connected to an input-side of the delay circuit, and a potential generated at the node N1 is delayed by a predetermined time period and then supplied to a node N2 at an output-side. A cell drain potential Vmcd as an output of the cell drain potential generating circuit is to be output from a source electrode of the N-channel transistor 116 controlled by the delay circuit. According to the above-mentioned configuration, the cell drain potential Vmcd is allowed to gently rise to a writing potential Vpp.



LEGAL STATUS

[Date of request for examination]

04.02.2002

[Date of sending the examiner's decision of rejection

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

3 辍 特許公 (12) 公開

特開2000-11668 (11)特許出願公開每号

(P2000-11668A)

	日超芬(84)	(43)公開日 平成12年1月14日(2000.1.14)	000.1.14)
鐵別記号	F. I.	-17-7	デ-73-1'(参考)
	G11C 17/00	611F 5BC	5B025
		6010	
		634F	

G11C 16/02 (51) Int.Cl.⁷

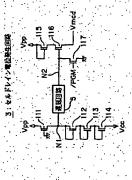
(全12頁) **路室請求 未謝求 請求項の数7 OL**

(21)出頃番号	特 爾平10-170135	(71)出國人 591049853	591049893
(22) thing B	平成10年6月17日(1998.6.17)		保式会社 がマイクロナザイン 宮崎県宮崎部浦武町大学木原7083番地
		(71) 出國人 00000295 中央公司	000000295 中電気工業株式会社
			東京都港区虎ノ門1丁目7番12号
		(72)発明者	長友 雅彦
			宫崎県宮崎市大和町9番2号 株式会社神
			マイクロデザイン宮砥内
		(74) 代理人	(74)代理人 100095957
			并理士 亀谷 美明 (外2名)
		Fターム(街	ドターム(参考) 58025 AA01 AC01 AD04 AD15 AED5
			AEDIS AEDIS

(54)【発明の名称】 データ笛き込み回路

【既姻】 遺伏されるメモリセルに対して所定のデータ セルに対して誤ったデータが弥き込まれることのないデ を安定的に事き込むとともに、路状されていないメモリ - 夕背き込み回路を提供する。 【解決手段】 セルドレイン電位発生回路3は、1個の 川力であるセルドレイン電位Vmcdは、遊延回路に制 **脚されるNチャネル型トランジスタ116のソース電極** から川力されることになる。かかる構成によれば、セル ドレイン電位Vmcdは、背き込み電位Vppまで概や Pチャネル型トランジスタ111,6個のNチャネル型 ドN1に発生する電位を所定の時間退延させて川力側 のノードN2に供給する。セルドレイン亀位発生回路の トランジスタ112, 113, 114, 115, 11 6, 117, および退延回路5から構成されている。 **ードN1には、遅延回路の人力側が接続されており、**

かに立ち上がることになる。



特許請求の範囲

電極に対して所定の電位を供給する第1電極電位発生回 路を備えたデータ書き込み回路において:前記第1電極 **単位発生回路は、前記所定の電位の立ち上がり時間を遅** 延させる遅延回路を働えたことを特徴とするデータ得き 【翻求項1】 メモリセルへの所定のデータの書き込み の際に,前記メモリセルを構成するトランジスタの第1 込み回路。

[請求項2] 前記第1電極電位発生回路は、前記メモ 位を出力するトランジスタを備え、前記遅延回路は、前 リセルへ所定のデータを指き込む際にデータ哲き込み程 記トランジスタを制御する制御信号を退延させることを 特徴とする結氷項1に記載のデータ供き込み回路。 [請求項3] 前記第1亀極電位発生回路は、前記メモ リセルへ所定のデータを指き込む際にデータ指き込み電 位を出力するトランジスタを備え、前紀遊延回路は、前 記トランジスタから川力される前紀データ背き込み程位 の立ち上がり時間を遅延させることを特徴とする間求項 I に記載のデータ番き込み回路。 【翻求項4】 複数のメモリセルから成るメモリセルア レイと:前記複数のメモリセルへの所定のデータの铅き 込みの際に、前記複数のメモリセルを構成するトランジ スタの第1甩桶に対して所定の電位を供給する第1電桶 ジスタを制御する制御回路と;を備えたデータ書き込み 回路において:前記制御回路は、前記第1電極電位供給 トランジスタの動作を制御する制御電位の出力を遅延さ せる遅延回路を備えたことを特徴とするデータ俳き込み **亀位供給トランジスタと;前記第1電極電位供給トラン**

【語来項5】 さらに前記制御回路は、所定の信号によ って前記制御電位を所定のレベルに固定する穏位レベル **開定手段を備えたことを特徴とする請求項4に記載のデ** 一夕事き込み回路。

いる。さらに、各ソース電極は、列仰に電気的に共道化

状過化されセルドレイン救DL0~DLmに接続されて

【翻求項6】 前配所定の信号は、前記複数のメモリセ ルへの所定のデータの書き込みの際にアクティブとなる ワンショットパルス信号であることを特徴とする語泉項 5 に記載のデータ事き込み回路。 【構氷項7】 前記所定の信号は、前記複数のメモリセ ルへの所定のデータの費き込みが禁止されている間アク ティブとなることを特徴とする静泉項5に記載のデータ 費き込み回路。

(発明の詳細な説明)

[0000]

able Read Only Memory) または 特にEPROM (Erasable Programm OTPROM (One Time Programma ble Read Only Memory) 物のデー (発明の属する技術分野) 本発明は、半導体記憶装置、 り抜き込み回路に関するものである。

[0002]

特閒平12-011668

8

路101を図12に示す。このデータ沿き込み回路10 ブアレイをn+1個作する, いわゆるサブアレイ方式の OM」という。) に備えられた従来のデータ排き込み回 1は,m+1 本のセルドレイン数DL 0~DLmからー のセルドレイン数を選択するためのm+1 鼠のセルドレ イン模選択トランジスタDTr0~DTrmを悩えたサ [從来の技術] EPROM, OTPROM (以下, 「R ROMに適川されるものである。

セルドレイン模選択トランジスタDTr0~DTrmお **相互に略同一の構成を有しており、それぞれm+1関の** よび (m+1) × (n+1) 鼠のメモリセルMC00~ [0003] n+1個のサブアレイSA0~SAnは、 MCmnから構成されている。 【0004】セルドレイン程位発生回路103は、セル ドレイン電位Vmcdを各サプアレイSA0~SAnに **悩えられたm+1個のセルドレイン模選択トランジスタ** DTr0~DTrmのドレイン危後に対して供給するよ うに構成されている。

[0005]また、各サプアレイSA0~SAnにはサ は、サブアレイ選択信号扱ASL0~ASLnに対して プアレイドライバ104-0~104-nが接続されて おり、各サプアレイドライバ104-0~104-n 所定の電位を川力可能なように構成されている。

[0006] 各サプアレイSA0~SAnに仰えられた メモリセルMC00~MCnmは,マトリクス状に配置 されており、これらのメモリセルMC00~MCnmを 構成するトランジスタの各ゲート電構は,行庫に電気的 る。また、これらの各ドレイン組織は、列仰に電気的に に共通化されワード数WL0~WLnに接続されてい

セルソース模選択トランジスタSTr0~STrmのド レイン電極に捻続されている。また、セルソース料選択 トランジスタSTr0~STrmのソース電桶は、電気 的に共通化されトランジスタ105のドレイン電極に接 【0001】各セルソース模SL0~SLmの核溢は、 されセルソース扱SL0~SLmに接続されている。

ゲート107を介して入力される制御信号Dinによっ ス級選択トランジスタSTr0~STrmは、 各ゲート 電桶に入力されるカラム選択信号Y0~Ymによって所 脱されている。このトランジスタ105は、インバータ てオン/オフ制御可能とされている。そして、セルソー 20一が選択される。

[0008] 次に、セルドレイン電位発生回路103の 回路構成について説明する。このセルドレイン電位発生 回路103は, 図13に示すように, 1個のPチャネル 型トランジスタ111, および6間のNチャネル型トラ ンジスタ112, 113, 114, 115, 116, 1

【0009】 Pチャネル型トランジスタ111のソース 17から構成されている。

3

目のカソードにはノードN101が捻続され、3段目の 115は、ダイオード構成を成すものであり、カソード いる。Nチャネル型トランジスタ112、113,11 4は、直列3段のダイオード結合を構成しており、1段 アノードには電磁電位Vcc(例えば、4V)が印加さ 2、113,114は、基準電位発生回路としての役割 となるドレイン電極およびゲート電極には許き込み電位 Vppが印加され、アノードとなるソース電極には,N 電桶にはグランド電位GNDが印加され、ゲート電桶に フ制御される。そして、Nチャネル型トランジスタ11 セルドレイン粗位発生回路103の出力であるセルドレ 電極には、事き込み電位Vpp (例えば、10V) が印 **加され、ゲート組械には、グランド電位GNDが印加さ** れており、ドレイン電極はノードN101に接続されて を果たすものである。また、Nチャネル型トランジスタ チャネル型トランジスタ116のドレイン組織が接続さ そのドレイン配稿がノードN101に按抗され、ソース 入力される事き込み傾御信号/P G M によってオン/オ イン電位Vmcdは、このNチャネル型トランジスタ1 れている。また、Nチャネル型トランジスタ117は、 6のゲート電後は、ノードN101が投税されており、 れている。すなわち,Nチャネル型トランジスタ11 16のソース租権から川力されることになる。

指き込むために、対応するワード線WL 0 をアクティブ

イバ104-nを川いて説明する。サブアレイドライバ 路構成を省しており、ここでは代表的にサプアレイドラ 104-nは、図14に示すように、2個のインバータ ンパータ122は、直列に接続されており、アドレス信 [0010] 次に、サブアレイドライバ104-0~1 04-nの回路構成について説明する。このサブアレイ ドライバ104-0~104-nは,相互に略同一の回 ゲート121, 122, および2個の二爪広散型トラン 124から協成されている。 インバータ121およびイ **号AnをDトランジスタ123のドレイン組織に供給す** ジスタ (以下、「Dトランジスタ」という。) 123.

み制御信号/P GMによって制御され、インパータ12 **信号AnをノードN102へ供給するように構成されて** びゲート電桶には、背き込み電位Vppが印加されてお イ選択信号幕ASLnに対して所定の電位が印加される 【0011】そして,Dトランジスタ123は,背き込 1 およびインパータ122を介して入力されたアドレス いる。また,ロトランジスタ124は,ダイオード構成 を成すものであり、カソードとしてのドレイン铝掻およ り、アノードとしてのソース電儀は、ノードN102に **核殻されている。そして、ノードNI02からサブアレ** ように構成されている。

き込み回路101の動作について、図15を参照しつつ 【0012】以上のような構成を行する従来のデータ俳 説明する。まず,所定のメモリセルに対して所定のデー タを事き込む場合,アドレス信号A0~Anに従い,サ

川力し, これによってn+1㎞のサブアレイSA0~S Anの中から一のサブアレイ、例えばサブアレイSA0 が選択されることになる。また、所定のデータを诽き込 むためにセルドレイン電位発生回路103は、セルドレ レイSA0に悩えられた複数のメモリセルMC00~M Cnmの中の一、例えばメモリセルMC00にデータを **グアレイドライバ104-0~104-nは、サブアレ ↑週択信号線ASL0~ASLnに対して所定の電位を** n)を加力する。そして、このように選択されたサブア (Nチャネル型トランジスタのスレショルド租)EV1 イン毛位Nmcdとして,(亀殻亀位Ncc) +2×

[0013] 貝体的に説明すると、サブアレイSA0に 頃するメモリセルMC00を選択しデータを指き込む場 号級ASL0を書き込み相位Vppとし、メモリセルM とし、さらにカラム選択信号Y0を電源和位Vccとす プアレイSA0以外のサブアレイSA1~SAnに対応 れたメモリセルMC00に対応するワード模WL0以外 のワード級WL1~WLn, および対応するカラム選択 **信号Y 0 以外のカラム遊択信号Y 1 ~Y n に対してグラ** においては、サブアレイSA0~SAnの一を選択する は、電磁電位Vccとされ、その他は、グランド電位G 合には、サブアレイSA0に対応するサブアレイ選択信 C00に対応するワード級WL0を掛き込み電位Vpp る.そして、選択されたメモリセルMC00が属するサ するサブアレイ選択信号数ASL1~ASLn, 選択さ ンド電位GNDを印加する。なお、データの説み出し時 ためのサプアレイ選択信号級ASL1~ASLnの--とし、カラム選択信号YOをアクティブとする。

また、ゲート電桶には背き込み電位Vpp(10V)が +2×(Nチャネル型トランジスタのスレショルド電圧 Vin)≒6Vが印加される。なお、ここではNチャネ する。以上のように所定の亀位が印加されたメモリセル 対して、関節信号Dinによってトランジスタ105が オフ状態とされると,メモリセルMC00を構成するト ランジスタのソース電極は、フローティング状態とされ るために、アパランシェ降仏が生じることはなく、フロ **しレベルのデータを敬き込む場合、制御信号Dinによ** ってトランジスタ105がオン状態とされ、これによっ てメモリセルMC00を構成するトランジスタのソース ル型トランジスタのスレショルド電圧Vinは,1Vと MC00を構成するトランジスタのフローティングゲー トには、アバランシェ降伏により発生するホットエレク トロンが往入され、結果的にメモリセルMC00に対し てしレベルのデータが頂き込まれることになる。これに ーティングゲートには、ホットエレクトロンが往入され 印加され、ドレイン電桶には、(書き込み電位Vpp) [0014] 選択されたメモリセルMC00に対して、 昭極にはグランド電位GNDが印加されることになる。

ず、結果的にメモリセルMC00に対してHレベルのデ 一夕が你き込まれることになる。

ス級SL0~SLmが延長されることになり、かかるセ ルソース数SL0~SLmの容積成分の増加につながる によって生じる容量成分は、以下の問題をもたらすおそ の数をも増加させる傾向にある。これに伴い各セルソー ことになる。このように,セルソース終SL0~SLm [発明が解決しようとする獣題] ところで,近年,半期 体記憶装置の大容量化を目的として、一つのサブアレイ に成するメモリセルを増加させるとともに,サブアレイ

込み回路に備えられた第1種極電位発生回路は、請求項

させる遅延回路を聞えたことを特徴とする。かかる構成

こよれば,メモリセルを構成するトランジスタの第2電

極側に寄生的に容量成分が形成された場合であっても、

第1年後に所定の種位が急激に印加されることはなく。

1 に記載のように、所定の相位の立ち上がり時間を返延

れ、スレショルド電圧が上昇し、また動作最低電線電圧 V c c m i nが上昇するなどして、結果的にメモリセル [0016] 所定のメモリセル,例えば,サブアレイS ータが借き込まれる際、そのメモリセルMC00に対応 するワード級WL0に接続されている他のメモリセルM C01~MC0mに対して本来語き込まれるべきでない されているものの、セルソース級SL1~SLmの容品 成分が大きいためにメモリセルMC01~MC0mを構 この相流によって、アバランシェ降伏が生じ、メモリセ れば、メモリセルMC01~MC0mに対応するセルソ ース救選状トランジスタST r 1 ∼ST r mがオフであ りセルソース殺SL1~SLmがフローティング状態と MC01~MC0mに対して你き込まれるべきではない A 0 に属するメモリセルMC 0 0 に対してHレベルのデ しレベルのデータが書き込まれる場合があった。群述す ルMC 0 1~MC 0 mを構成するトランジスタのフロー 成する各トランジスタに過渡的な電流が流れてしまう。 ティングゲートに対してホットエレクトロンが洗入さ しレベルのデータが沓き込まれるおそれがあった。

は、オフ状態とされており、全てのセルソース級SLの に過渡的な電流が流れてしまう。この電流によって、本 来, Hレベルのデータが销き込まれるメモリセルMC0 背き込まれるべきではないしレベルのデータが引き込ま 例えばメモりセルMC00に対してIIレベルのデータを **翡き込場合であっても同様に起こり得た。すなわち,こ** ルソース模SL0~SLmの容肌成分が大きいためにメ モリセルMC00~MC0mを構成する各トランジスタ さらにその他のメモリセルMC 0 1~MC 0 mに対して 【0017】以上のような現象は、所定のメモリセル、 0 に対して, 1, レベルのデータが掛き込まれてしまい, の場合、制御信号Dinによってトランジスタ105 ~SLmがフローティング状態とされているものの、 れるおそれがあった。 [0018] 本発明は、上記のような問題点に鑑みてな されたものであり、その目的は半導体記憶装置の大容肌 も、選択されるメモリセルに対して所定のデータを安定 化を目的としてメモリセルの増加があった場合であって 的に沓き込むとともに、選択されていないメモリセルに

対して誤ったデータが告き込まれることのない新規かつ 改良されたデータ書き込み回路を提供することにある。

【課題を解決するための手段】上記思盟を解決するため に,メモリセルへの所定のデータの事き込みの際に、メ モリセルを構成するトランジスタの第1租桶に対して所 定の租位を供給する第1租債租位発生回路を備えたデー **夕沓き込み回路が提供される。そして、このデータ帯き**

生じさせるものであるために、本発明によれば、観事込 回路において、請求項2に記載のように、第1電極電位 データ書き込み程位を出力するトランジスタを備え、遅 延回路は、このトランジスタを制御する制御信号を遅延 所定のデータを書き込む際にデータ書き込み報位を出力 するトランジスタを悩え、遅延回路は、トランジスタか ら出力される前記データ事き込み相位の立ち上がり時間 を遅延させるように構成することも可能である。かかる 構成によれば、遅延回路を簡易な回路構成、例えば低抗 メモリセルに対する過渡的な電流の流れ込みを防止する ことが可能となる。この過渡的な電流は、データの背き 【0020】そして、翻氷項1に記載のデータ背き込み **発生回路は、メモリセルへ所定のデータを散き込む際に** させるよう構成することが可能である。また、 語泉項3 に記載のように第1電極電位発生回路は、メモリセルへ 聞えたデータ事き込み回路が提供される。そして、この たことを特徴とする。かかる構成によれば、メモリセル を構成するトランジスタの第2電極側に寄生的に容積成 な電流の流れ込みの防止が可能となる。この過渡的な電 **人みがなされないメモリセルに対してデータの観得込を** 【0021】さらに、上記の課題を解決するために、複 数のメモリセルから成るメモリセルアレイと、複数のメ モリセルを構成するトランジスタの第1電桶に対して所 第1 電極電位供給トランジスタを制御する制御回路とを データ番き込み回路に備えられた制御回路は、船氷項4 に記載のように、第186権報位供給トランジスタの動作 分が形成された場合であっても、第1 租補租位供給トラ ンジスタの動作によって第1部横に対して所定の相位を 術次印加することが可能となり、メモリセルへの過渡的 紫子,容肌紫子などで構成することが可能となり,デー モリセルへの所定のデータの書き込みの際に、複数のメ を制御する制御亀仏の川力を遊延させる遊延回路を聞え 流は,データの許き込みがなされないメモリセルに対し の少ないデータ書き込み回路が実現されることになる。 タ沓き込み回路の規模的大を抑えることが可能である。 逆の電位を供給する第1電極電位供給トランジスタと、

9

辞明によれば、親帯込の少ないデータ俳き込み回路が実

(0022)さらに温泉切りに記載のデータ設き込み回路に値えられた御脚回路に対して、翻氷切ちに記載のように、所述の信号によって御脚電位を所述のレベルに図ばする電位レベルの位手段を設けるようにしてもよい。かかる構成によれば、第1電機電位保給トランジスタの助作を御買する御脚電位の初期レベルが一定とされるため、周脚電位による第1電機電位保給トランジスタの助作が安定化され、メモリセルを構成するトランジスタの第1電機への所定の電位の印刷にかから時間を任意の国に関数することが可能となる。そして、翻氷項もに記載のように所定の信号は、複数のメモリセルへの所定のデータの背き込みが禁止されている間アクティブとなる信号とすることも可能である。

[0023] (発列の実施の形盤]以下に存付図価を参照しながら、 本発列にかかるの好遊な実施の形盤について詳細に設切 する。なお、以下の説列において、略同一の機能および 構成を行する構成要素については、同一符号を付することにより、直数説列を省略することにする。

[0024] (第1の実施の形態) 本発明の第1の実施の形態にかかるデータ事き込み回路1を図1に示す。このデータ事き込み回路1は、従来のデータ事き込み回路101に対して、セルドレイン電位発生回路103がセルドレイン電位発生回路3に図き換えられた構成を行するものである。

[0025]セルドレイン電位発売回客3は、セルドレイン電位Vmcdを各サプアレイSA0~SAnに過去られたm+1個のセルドレイン複選次トランジスタロ下c0~DTrmのドレイン電流に対して原結するように高級されている。

[0026]また、各サプアレイSA0~SAnにはサプアレイドライバ104~0~104~nが接続されており、各サプアレイドライバ104~0~104~nは、サプアレイ選択信号数ASL0~ASLnの電位を所定の値に対数する機能を行するものである。

【0027】各サプアレイSAO~SAnに協えられたメモリセルMC00~MCnmは、マトリクス状に配置されており、メモリセルMC00~MCnmを結成するトランジスタの各ゲート電循は、指係に電気的にほ過化されワード数WL0~WLnに接続されている。また、これらの各ドレイン電筒は、列係に電気的に共通化されてドインをDLmに接続されている。さらに、各ソース電筒は、列係に電気的に共通化されセリソース数SL0~SLmに接続されている。

[0028] 各セルソース扱SL0~SLmの終端は、

セルソース数部択トランジスタSTr0~STrmのドレイン電極に接続されている。また、セルソース数部以トランジスタSTr0~STrmのソース起儀は、電気的に見道化されトランジスタ105のドレイン電帳に接続されている。このトランジスタ105は、インバータゲート107を介して入力される御御信号ひ। nによってオン/オフ側脚可能とされている。そして、セルソース数選択トランジスタSTr0~STrmは、谷ゲート電機に入力されるカラム選択信号Y0~Ymによって所定の一が選択される。

[0029]次に、セルドレイン程位発生回路3の回路 3は、協2に示すように、従来のセルドレイン程位発生回路 3は、協2に示すように、従来のセルドレイン程位発生 回路103に対して、遅延回路5が追加された構成を行 するものである。すなわち、1個のPチャネル型トラン ジスタ111、6個のNチャネル型トランジスタ11 2、113、114、115、116、117、および

最低回路 5 から構成されている。

[0030] Pチャネル型トランジスタ111のソース電低には費き込み電位V D D (例えば、10V) が印加され、ゲート電値にはグランド電位CNDが印加され、ドレイン電値は、ノードN1に接続されている。一方、Nチャネル型トランジスタ112、113、114は、近外3段のダイオード結合を構成しており、1段目のアソードにはオードN1が接続され、3段目のアノードには電磁電位V c C (例えば、4 V) が印加されている。すなわち、Nチャネル型トランジスタ112、113、114は、基準電位発生の開発としての提割を果たすもの

[0031]ノードN1には、退延回路5の入力側が接続されており、ノードN1に発生する電位を所定の時間退延させて川力側のノードN2に供給する。この選進回路5については、近近業子や容鼠業子、またはそれらの組み合わせで実現されるいわゆるCR回路により構成さ

【0032】Nチャネル型トランジスタ115は、ダイオード格成を低すものであり、カソードとなるドレイン電極およびゲート程施には背き込み電位Vppが何加されている。また、Nチャネル型トランジスタ117のドレイン程機は、ノードN2に接続されており、ソース電機に入りされる非き込み間値信力とのが印刷され、ゲート程値に入力される音を込み間回信分下のMによって制御可能とされている。Nチャネル型トランジスタ116のゲート電極にはノードN2が接続され、ドレイン電機には、ダイオードのアノードとしてのNチャネル型トランジスタ115のソース電機が後継されている。そして、このセルドレイン電位発生回路103の川力であるセルドレイン電位Vmcdは、Nチャネル型トランジスタ116のソース電機から川力されることになる。

[0033] ここで、第1の実施の形態にかかるデータ

弥幸込み回路1に個えられたセルドレイン電位発生回路3から川力されるセルドレイン電位Vmc d およびサプアレイドライバ104−0~104−nから川力されサプアレイドライバ104−0~104−nから川力されサプアレイ選択信号数ASLnに印加される電位について図3を用いて説明する。なお、図3中、実験は第1の実施の形態にかかるデータ報き込み回路1におけるセルドレイン電位Vmc d、およびサプアレイ選択信号数ASLnの電位を示し、破験は従来のデータ背き込み回路1

【0034】 事き込み御御信号/PGMがHレベルの時、すなわちデータ事き込み禁止状態の時、Nチャネル型トランジスタ117は、オン状態とされ、これによってNチャネル型トランジスタ116はオフ状態とされ、セルドレイン館位Vmcdは、フローティング状態とさ

(0035)その後、むき込み制御信号/PGMがLレベル、すなわちデータ符き込み状態となった時、ノードN1には、(電離程化Vcc)+2×(Nチャネル銀トランジスタのスレショルド電低V1n)が印刷されることになる。そして、ノードN1における電位の上昇は、遠延回路5によって所定の時間後、Nチャネル駅トランジスタ116のゲートに伝達されることになる。このため、セルドレイン電位Vmcd(実験)は、従来(点数)に比べて穏やかに立ち上がることになる。

[0036]このように、第1の実施の形態にかかるデータ母き込み回路1によれば、データの母き込み動作開始時において、セルドレイン相位Vmc dが従来のそれよりも超機に立ち上がるため、セルソースねSL0~SLmの容量成分に対して充電が観やに行われることになる。したがって、充電開始時に発生する過渡電流のピーク値が低減され、選択されていないメモリセルにおけるホットエレクトロンの発生を抑制し、結果的に非選択メモリセルへのデータの創造込め所止されることにな

[0.037] (第2の実施の形態)第2の実施の形態にかかるデータ排ぎ込み回路は、従来のデータ財き込み回路は、従来のデータ財き込み回路101に対してサプアレイドライバ104-0~104-nがサプアレイドライバ4-0~4-nに固き技えられた構成を有するものであり、その他の構成は、略同ーとされている。

(0038) また、サプアレイドライバ4-0~4-nは、相近に略同一の構成を行しており、ここでは、サプアレイドライバ4-nを加いて説明する。このサプアレイドライバ4-nは、図4に示すように、従来のデータ報き込み回路101に個えられたサプアレイドライバ104-nは、2Mのインバータゲート121、122、2MのDトランジスタ123、124、および途経回路7から端底されている。インバータ121はおよびインバータ12

2は、前列に接続されており、アドレス信号AnをDトランジスタ123のドレイン程施に供給するものである。なお、逆延回路7については、原が栄子や容肌等子、またはそれらの組み合わせであるいわゆるCR回路

(0039) そして、Dトランジスタ123は、事き込み飼御信号/PGMによって側砂されインバータ121 およびインバータ122を介して入りされたアドレス信 ほんnをノードN3へ保給するように格成されている。 また、Dトランジスタ124は、ダイオード格成を成す ものであり、カソードとしてのドレイン電極およびゲート電値には、貼き込み電低V ppが印加されており、アノードとしてのドレイン電極はよびゲート電値には、貼き込み電低V ppが印刷されており、アノードとしてのソース電桶は、遅延回路7の出力側は、ノードN3 に接続されている。そして、ノードN3からは、サブアレイ選択信号数ASL0~ASLnに対して所定の铝位 が出力されるように構成されている。

(0040)以上の協成を信する第2の実施の形態にかかるデータ指き込み回路の動作。特に特徴的なサブアレイドライバ4-nは、ボータ指き込み回路的において、財き込み租位Vppをサブアレイ選択信号報入SLnに対して印刷するように結成されている。したがって、サブアレイ選択信号報入SLn(実験)の租位は、従来(点線)に比べて観やかに立ち上がることになる。ところで、セルドレイン製卸しいの租位(実験)の租付ドレイン製造以トランジスタDT・0~DT・mのスレショルド租圧)以上にはならないため、図5に示すようにサブアレイ選択信号数SALnの租位の立ち上がに応じて、従来(点線)に比べて観やかに立ち上がることに

データ背き込み回路によれば、データ背き込み開始直後 ち上がるため、第1の実施の形態にかかるデータ掛き込 **み回路 1 と同様な効果が得られるとともに以下に示す他** nの粗位は、比較的急峻に立ち上がっていたため、その 類指き込み相位V p p からグランド電位G N D に対する **電流の流れ込みが生じていた。この電流は、全てのメモ** リセルMC00~MCnmのフローティングゲートに対 してホットエレクトロンが沈入される原因となり得るも のであり、これによるデータの製事込が生じるおそれが るデータ書き込み回路によれば、データの書き込み直後 のサプアレイ選択信号数ASLnの電位は緩やかに立ち [0041]以上のように、第2の実施の形態にかかる セルドレイン松DLnの立ち上がりがともに扱やかに立 の効果が得られることになる。従来、データの書き込み 用始直後には、サブアレイ選択信号数ASL0~ASL あった。かかる問題に関して、第2の実施の形態にかか 上がるようになるため、選択されていないサブアレイに のサブアレイ選択信号数ASLnの電位の立ち上がりと

€

(0042)ところで、第2の実施の形態にかかるデータ帯き込み回路に対して、第1の実施の形態にかかるデータ帯き込み回路1に悩えられたセルドレイン電信発生 回路3を適加することが可能である。この場合のデーケ 帯き込み回路の動作について図6に基づいて説明する。 10043]ここで、セルドレイン電信発生回路3に備えられた避延回路3によって、データ語き込み直接の最大られた地延回路7によって、データ語き込み直接のセルドレイン電位Vmc 4の立ち上がり時間をサブアレイが大人工を関びVmc 4の立ち上がり時間をサブアレイが大人工を扱いるように設定する。この調整によって以下の約束がまたさま力に設定する。この調整によって以下の約束がまたさま力に設定する。この調整によって以下の約束がまたさま力に

【0044】かかる関格がなされた場合のサプアレイ選 用位の特性を図6に示す。セルドレイン模DLnの電位 の亀位) - (セルドレイン線路収トランジスタDTr0 ~DTrmのスレショルド電圧)に達するまでセルドレ になる。すなわち、セルドレイン森DLnの電位の立ち l:がり時間を2段階に調整することが可能となる。具体 の沈入が起きるまではセルドレインDLnの電位の立ち 上がりを時間を短くし、その後アバランシェ降伏が生じ によれば、メモリセルMC00~MCnmに対して、デ 以信号数∧SLnの電位およびセルドレイン数Dlnの は、セルドレイン電位Vmcdが(遊収信号数ASLn イン電位発生回路3によって制御され、それを以上にな るとサブアレイドライバ4-nによって制御されること 的には,まずメモリセルMC00~MCnmにおいてホ ットエレクトロンが生成されずフローティングゲートへ る真的から綴やかに立ち上げることとする。かかる顕整 **一タの盟告込が助止されるとともに、データの許き込み** 速度の高速化にも資献することになる。

【0045】(第3の実施の形像)第3の実施の形像にかかるデータ時ぎ込み回路は、従来のデータ時き込み回路は、従来のデータ時き込み回路101に対してサプアレイドライバ104-0~104ーがサプアレイドライバ8-0~8-nに超き換えられた路底を行するものであり、その他の協成は、既同一とされている。

(0046) また、サプアレイドライバ8~0~8~nは、相近に略同一の協成を有しており、ここでは、これらの構成・機能についてサプアレイドライバ8~nは、サプアレイドライバ8~nは、サプアレイドライバ8~nは、サプアレイドライバ8~nは、サプアレイドライバ8~nは、サプアレイドライバ8~nは、欧のである。すなわち、サプアレイドライバ8~nは、欧つてある。すなわち、サプアレイドライバ8~nは、欧つに示すように、NANDゲート9、インバータゲート122、2限のDトランジスタ123、124、および遊館回路7から構成されている。

[0047] NANDゲート9の--方の入力増予には、

アドレス信号Anが人力され、他方の入力端子には、ブリセット信号PRSTが入力されるように協成されている。なお、そして、このブリセット信号PRSTは、データの背き込み動作開始時に出力がアクティブとなるワンショットバルス充生回路(短示せず。)から川力されるものである。NANDゲート9の川力端子は、インバータゲート122の入力端子に接続されており、インバータゲート122の人力端子は、Dトランジスタ123のドレイン電衝に接続されている。Dトランジスタ123のアレイン電衝は、ノードN3に接続されている。

[0048] Dトランジスタ124は、ダイオード樹成を成すものであり、カソードとしてのドレイン電通およびゲート電弧には、背き込み電位Vppが印刷されており、アノードとしてのソース電流は、道径回路7の人が間に接続されている。この道径回路7の川が側は、ノードN3に接続されている。そして、ノードN3からは、サブアレイ選択信号終ASLnに対して所定の電位が川かされるように格成されている。

遊延回路7を介して供給されるとき、サブアレイ選択信 [0049] 以上の構成を有するサブアレイドライバ8 -0~8-nを悩えた第3の実施の形態にかかるデータ レイ選択信号数ASLnに対して徘ぎ込み租位Vppが 号数ASLnの電位は、一旦グランド電位GNDまで低 ドすることになる。このため、サブアレイ選択信号級A Slnへの書き込み程位Vppの供給は、遅延回路7の 幼果に相乗されさらに遠延することになり、サブアレイ 選択信号数ASLnの電位 (実数) は、従来 (点数) に 比べて綴やかに立ち上がることになる。また、セルドレ イン様DLnの毛位(実験)については、サブアレイ選 以信号線ASLnの電位の影響を受け、従来(点線)に データ事き込み開始時におけるサブアレイドライバ8n に備えられたNANDゲート9には,Hレベルのプリ て,街き込み制御信号/PGMがLレベルとなりサブア 母き込み回路の動作について図8に基づいて説明する。 セット信号PRSTがワンショット入力される。そし 比べて綴やかに立ち上がることになる。

LY、C級マルに、D.S.Lがらしてになる。

「0050]以上のように、第3の実施の形態にかかる
データ書き込み回路によれば、データ書き込み開始而後
のサプアレイ選択信号数ASLnの電位の立ち上がりた セルドレイン数DLnの立ち上がりがともに緩やかに近ち上がりた
ち上がるため、第1、2の実施の形態にかかるデータ時き込み回路1と同様な効果が得られることになる。しか
も、その立ち上がりにかかる時間は、サプアレイドライバ8ー nにおけるサプアレイ選択信号数ASLnの電位をグランド電位CNDとするいわゆるブリセット動作によって、第1、2の実施の形態にかかるデータ母き込みの可なこれで、一個遊睡されることになる。したがって、メモリセルの傾加に伴うセルソース数SLmの容量成分の更なる傾加があった場合でも、データ書き込み開始時の6メモリセルMC00~MCnmへの過渡電流の流れ

込みは、より確実に防止され、データの慰事込が防止されるニンになる

リセット倡号PRSTに代えて、図9に示すように、書 対してデータの許き込みが禁止されている間は、1.レベ ルとされる信号であり、これによってサブアレイ選択信 サブアレイドライバ8-nに対して、谐き込み禁止信号 0~8-nにおいて、NANDゲート9に入力されるプ この哲き込み禁止信号/P I NIIは,非尊体記憶装置に /PINIIを適加することによって、サブアレイ選択信 号線ASLnの程位は、データの指き込みが禁止されて いる間グランド租位GNDに保持されることになる。そ 選択信号線ASLnの電位、およびそれに伴ってセルド レイン数DLnの電位は、載やかに立ち上がっていくこ 号級ASLnの電位の立ち上がり開始がデータ費き込み 開始に一致することになるため、データ仰き込みに割り の後、データの沿き込みが開始されたときにサブアレイ とになる。したがって、選択されていないメモリセルへ き込み禁止信号/PINHを用いるようにしてもよい。 のデータの観ጡき込みは防止されることになる。また、 [0051] ところで、上述のサプアレイドライバ8 当てられる時間を有効に利用することが可能となる。

(0053)以下、セルドレイン程位発生回路11について、図11を参照しつの説明する。セルドレイン程位 発生回路11は、従来のデータ事き込み回路101に縮えられたセルドレイン程位発生回路103に対して、遅延回路13が追加された構成とされている。すなわち、1個のPチャネル型トランジスタ111、6個のNチャネル型トランジスタ111、6個のNチャル・型を回路トランジスタ111、60のNチャネル型トランジスタ112、113、114、115、116、117、および選進回路13から構成されている。なお、セルドレイン程位発生回路11に脳えられた遠延回路13については、抵抗業子や容能素子、またはそれらの組み合わせであるいわゆるCR回路により構成される。

(0054) Pチャネル照トランジスタ111のソース 電板には扱き込み電位V p p (例えば、10V) が印加 され、ゲート電板にはグランド電位GNDが印加され、 ドレイン電筒は、ノードN11に接続されている。一 坊、Nチャネル型トランジスタ112、113、114 は、前列3段のダイオード結合を構成しており、1段目 のカソードにはノードN11が接続され、3段目のアノ ードには電磁電位V c (例えば、4V) が印加されて いる。すなわち、Nチャネル型トランジスタ112、1 13、114は、操物電位発生回路としての投塑を果た [0055] Nチャネル型トランジスタ115は、ダイ

すものである。

オード協成を成すものであり、カソードとなるドレイン程値はよびゲート程橋には沿き込み電位Vppが印加されている。また、Nチャネル型トランジスタ117のドレイン組備は、ノードN11に接続されており、ソース程備にはグランド電位が印加され、ゲート程備に入力される。Nチャネル型トランジスタ116のゲート電板にはノードN11が接続され、ドレイン程橋には、ダイオードのアノードとしてのNチャネル型トランジスタ115のツース程備が接続され、ソース電桶には、遊延回路13の人力調が接続されている。そして、このセルドレイン電位の第13の人力調が接続されている。そして、このセルドロイン電位の第11の川力、すなわちセルドレイン電位Vmcdは、遅延回路11の川力、すなわちセルドレイン

[0056]以上の構成から成る第4の実施の形態にか データ街き込み回路1が行する効果の他、次の効果を行 に備えられたセルドレイン電位発生回路3の場合、遊延 回路 5 がN チャネル型トランジスタ116のゲート電桶 1 の遅延回路 1 3 は、Nチャネル型トランジスタ 1 3 の ソース電桶に接続されている。したがって、第4の実施 するタイミングに同期して背き込み電位Vppにあるセ とになる。かかる動作によって、併き込み程位Vppか させることが可能となり、筑4の火施の形態にかかる形 かるデータ沓き込み回路は、第1の実施の形態にかかる の形態にかかるデータ背き込み回路によれば、Nチャネ ルドレイン粗位Vmcdをフローティング状態とするこ ら各サプアレイSA0~SAnに対する以近電流を収減 する。第1の実施の形態にかかるデータ得き込み回路1 に接続されているが、第4の実施の形態にかかるデータ **ル型トランジスタ11は,データの書き込み動作が終了** 哲き込み回路に加えられたセルドレイン相位発生回路! 版にかかる消費用力の低減に各与することになる。

(1057)以上、添付的価を参照しながら本辺明の好適な実施が強について説明したが、本発明はかかる例に限定されない。当業者であれば、特許謝決の範囲に記載された技術的思想の領域内において各種の変更例または修正例に超到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解され

5.0 58] 例えば、第1の実施の形態にかかるデータ むき込み回路に対して、サブアレイドライバ4-0~4 -n、またはサブアレイドライバ8-0~8-nを加い ることも可能であり、また第4の実施の形態にかかるデ ータ店き込み回路において、セルドレイン電位発生回路 11に対して、プアレイドライバ4-0~4-n、また はサブアレイドライバ8-0~8-nを適用することも 可能である。

(0029)

(発明の効果)以上説明したように、本発明によれば、 メモリセルに対するデータの書き込み開始時において、 9

特間平12-011668

特開平12-011668

所定のデータを沿き込むメモリセル以外のメモリセルお り、かかるメモリセルに対するデータの創造込が防止さ けるアパランシェ降伏現象を訪止することが可能とな

[四前の簡単な説明]

【図1】本発明の第1の実施の形態にかかるデータ事き **心み回路の回路段である。**

[図2] 図1のデータ書き込み回路に備えられたセルド レイン租位発生回路の回路図である。

【図3】図1のデータ俳き込み回路の動作を示す故形図 7.85. [図4] 本発明の第2の実施の形態にかかるデータ書き 込み回路に備えられたサプアレイドライバの回路図であ

[図5] 本発明の第2の実施の形態にかかるデータ背き

【図6】 本発明の第2の実施の形態にかかるデータ書き 込み回路の他の動作を示す故形図である。 込み回路の動作を示す故形図である

【図7】 本発明の第3の実施の形態にかかるデータ語き 込み回路に備えられたサブアレイドライバの回路図であ

【図8】 本発明の第3の実施の形態にかかるデータ供き 込み回路の動作を示す故形図である。

【図9】 本発明の第3の実施の形態にかかるデータ併き 込み回路に備えられたサプアレイドライバの回路図であ

[図2]

[図10] 本発則の第3の実施の形態にかかるデータ階 き込み回路の他の動作を示す故形図である。

【図11】本発明の第4の実施の形態にかかるデータ群 き込み回路に備えられたサブアレイドライバの回路図で

【図13】図12のデータ費き込み回路に備えられたセ [図12] 従来のデータ書き込み回路の回路図である。 ルドレイン電位発生回路の回路図である。

【図15】図12のデータ書き込み回路の動作を示す故 【図14】図12のデータ費き込み回路に備えられたサ **プアレイドライバの回路図である。**

形図である。

[符号の説明]

データ事き込み回路

3 セルドレイン電位発生回路

8-n サブアレイドライバ 4-n サブアレイドライバ

1 セルドレイン和位発生回路

Vmcd セルドレイン組位

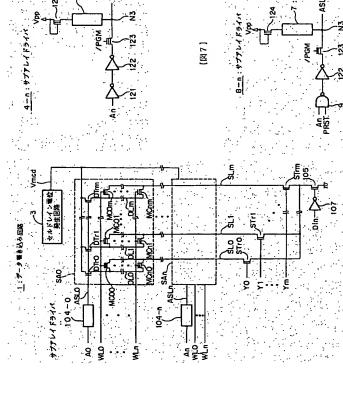
サプアレイ選択信号線 DIE セルドフィン様 ASLn

DTrm セルドレイン模型状トランジスタ STrim セルソース報選択トランジスタ セルソース数 SLm

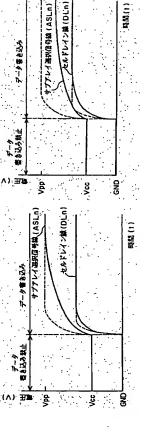
An アドレス信号 Din 制御信号

rルドフィン数(DLn) ナアレイ選択信号線(ASLn (A) 373 ខ្ល

[函4] [<u>國</u>] 佐回山地



[図[8] [図2]



[国15]

(國12)

å :

8

